

CLIPPEDIMAGE= JP403050873A
PAT-NO: JP403050873A
DOCUMENT-IDENTIFIER: JP 03050873 A
TITLE: THIN-FILM TRANSISTOR

PUBN-DATE: March 5, 1991

INVENTOR-INFORMATION:

NAME
NAKAYAMA, SHOICHIRO
NOGUCHI, SHIGERU
IWATA, HIROSHI
SANO, KEIICHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SANYO ELECTRIC CO LTD	N/A

APPL-NO: JP01186793

APPL-DATE: July 19, 1989

INT-CL (IPC): H01L029/784

US-CL-CURRENT: 257/57

ABSTRACT:

PURPOSE: To reduce a localized level inside a band gap and a level at a grain boundary by a method wherein a gate electrode, a gate insulating film, an i-type amorphous semiconductor film, an n-type or p-type amorphous semiconductor film, a source electrode and a drain electrode are laminated one after another on an insulating thin film which has been formed on a substrate and which contains a specific atomic rate of hydrogen.

CONSTITUTION: A desirable value of a content of hydrogen in an insulating thin film 2 is set within 10 to 50 atomic %. During a heat treatment to form an active film 33 composed of an i-type a-Si film participating directly in a transistor operation and a source region and a drain region 34, 35 composed of an n-type a-Si film and a during a heat treatment of a source electrode and a drain electrode 36, 37 and a protective film 38 which are formed

after forming
the active film 33 and the source and drain regions 34, 35,
hydrogen atoms
contained in the insulating thin film 2 are diffused
automatically to the
active film 33 composed of the i-type a-Si film and to the source
and drain
regions 34, 35 composed of the n-type a-Si film; the hydrogen
atoms are bonded
to Si atoms having unbonded bands of a-Si; a localized level
inside a band gap
is reduced.

COPYRIGHT: (C)1991, JPO&Japio

⑪ 公開特許公報 (A)

平3-50873

⑫ Int. Cl. 5

H 01 L 29/784

識別記号

府内整理番号

⑬ 公開 平成3年(1991)3月5日

9056-5F H 01 L 29/78

3 1 1 X

審査請求 未請求 請求項の数 4 (全4頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 平1-186793

⑯ 出 願 平1(1989)7月19日

⑰ 発明者 中山 正一郎	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑰ 発明者 能口 繁	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑰ 発明者 岩多 浩志	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑰ 発明者 佐野 景一	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑰ 出願人 三洋電機株式会社	大阪府守口市京阪本通2丁目18番地	
⑰ 代理人 弁理士 西野 卓嗣	外2名	

明細書

1. 発明の名称 薄膜トランジスタ

2. 特許請求の範囲

(1) 絶縁性基板と、該基板上に形成された10原子%～50原子%の水素を含んだ絶縁性薄膜と、該薄膜上に順次積層されたゲート電極、ゲート絶縁膜、n型非晶質半導体膜、n型またはp型非晶質半導体膜、ソース、ドレイン各電極と、からなる薄膜トランジスタ。

(2) 上記絶縁性薄膜は、 SiN_x であることを特徴とした請求項1記載の薄膜トランジスタ。

(3) 上記非晶質半導体膜は、アモルファスSi膜であることを特徴とした請求項1、または2記載の薄膜トランジスタ。

(4) 上記非晶質半導体膜は、多結晶Si膜であることを特徴とした請求項1、または2記載の薄膜トランジスタ。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は薄膜トランジスタ、更に詳しくは非晶

質半導体膜を用いた薄膜トランジスタに関する。

(ロ) 前記の技術

近年非晶質半導体材料、特にアモルファス・シリコン（以下a-Siと略記する）膜等の非晶質材料は、その物性上の特徴、及びプラズマCVD法の製法上の利点を生かしてこれまでの単結晶シリコン（以下c-Siと略記する）では実現不可能であった分野への応用を開拓している。特にa-Si膜はプラズマ反応という形成法で成膜できるため、太陽電池や大面積液晶TV用のスイッチング素子などに応用されている。

アクティブマトリックス型の液晶テレビへのa-Si薄膜トランジスタ（以下薄膜トランジスタをTFTと略記する）スイッチング素子の応用は、プラズマ反応の大面積化の容易さといったメリットを生かしたものであり、また同時にプラズマ反応法によってTFTを構成するゲート絶縁膜やバッシャーション膜となる窒化シリコン（以下 SiN_x と略記する）膜や酸化シリコン（以下 SiO_2 ）膜を反応ガスを変えるだけで形成できること

いう長所も利用している。

ところが、 $a-Si TFT$ では、品質からくる制限によって電子の移動度はたかだか $0.5\text{cm}^2/\text{V}\cdot\text{s}$ 程度であり、液晶駆動回路を構成するには不十分であった。そこで近年多結晶シリコン($p-Si$ と略記) TFT からなる薄膜トランジスタによってこれらを実現する試みがなされている。この $p-Si TFT$ は $LPCVD$ 法や $a-Si$ 膜の熱処理による再結晶化法などによって比較的容易に形成され、特に、再結晶化法としては、熱によるアニール法以外にレーザによるアニールによって局所的に多結晶化する方法が研究され、目覚ましい発展を見ている。

然し乍ら $a-Si TFT$ においても $p-Si TFT$ においてもそのトランジスタ作用に関与する活性膜の特性は、 $c-Si$ の特性と比較した場合、かなり劣るものである。

特にトランジスタ特性から見た場合、キャリヤ移動度は、活性膜の性質の影響を直接受けるので、非品質、多結晶いずれにおいても何らかの後

本発明トランジスタはこのような課題を解決するためにみされたものであって、絶縁性基板と、該基板上に形成された10原子%～50原子%の水素を含んだ絶縁性薄膜と、該薄膜上に順次積層されたゲート電極、ゲート絶縁膜、 i 型非品質半導体膜、 n 型または p 型非品質半導体膜、ソース、ドレイン各電極と、から構成されている。

(ホ) 作用

本発明によれば、10原子%～50原子%の水素を含んだ絶縁性薄膜からその薄膜上に設けられた TFT に当該 TFT 形成時の熱処理工程中に水素がオートディフュージョンされる。

(ヘ) 実施例

第1図は本発明トランジスタの断面図であり、1はガラス、セラミックスなどの絶縁性基板、2はこの基板1上に形成された10原子%～50原子%の水素を含んだ SiN_x 、 SiON 、 SiO_x などの絶縁性薄膜で、この薄膜2を設けるところに本発明の要旨があるので、この薄膜2については詳しく後記する。3はこの絶縁性薄膜2上に形成され

処理を施して品質を向上させているのが実情である。

(ハ) 発明が解決しようとする課題

$a-Si$ 、 $p-Si$ における品質の向上としては、従来水素処理によるものが非常に広く用いられている。例えば $a-Si$ の場合であれば高温状態で TFT を水素雰囲気に置き、これにより未結合手を持った Si 原子と水素とを結合してバンドギャップ内の局在部位を低減させている。また、 $p-Si$ では先の方法以外に水素を含んだ SiN_x 膜を TFT が完成した後に基板の上部に形成し、その SiN_x から多結晶 Si に水素を拡散させて結果的にグレイン界面にある多くの部位を少なくするなどの方法がとられる。

然し乍ら、これらの水素処理はいずれも TFT 完成後に加熱を伴って行われるので、その熱のためにドーピング用不純物が必要以上に拡散してしまい、所期のトランジスタ特性を維持できないなどの問題があった。

(ニ) 課題を解決するための手段

た TFT で、この TFT は、スパッタリング法、真空蒸着法などを用いて形成された1000Å程度の厚みの Cr 薄膜からなるゲート電極31、約4000Åの厚みの SiN_x からなるゲート絶縁膜32、ゲート電極31を跨ぐようにゲート絶縁膜32表面に設けられた300～1000Åの厚みを有する i 型 $a-Si$ 膜にて構成された活性膜33、この活性膜33の両端部に接合された約800Åの膜厚を有する n 型 $a-Si$ 膜からなるソース、ドレイン領域34、35、該両領域34、35に達なった1μm前後の厚みの Al から構成されたソース、ドレイン電極36、37、並びにこの TFT のバッシャベーションのための $p-SiN_x$ などで代表される保護膜38と、から成っている。

次に絶縁性薄膜2について SiN_x の場合を例に挙げて説明を加える。この絶縁性薄膜2は $LPCVD$ 法にて形成されるが、その時の反応ガスが重要である。即ち反応炉に導入されるガスとしては、 SiH_4 、 NH_3 、 N_2 、 H_2 が用いられ、それらのガスの流量、並びに SiN_x 膜形成時の基板温度によってその SiN_x 膜中の水素含有量が制御

される。第2図にSiN_x膜形成条件と水素含有量とを示す。

本発明においては上述したように、SiN_xからなる絶縁性薄膜2からその薄膜上のTFTに水素を拡散させて、その絶縁性薄膜2の水素含有量が少ないとその目的は達成できない。従って本発明者などの実験から、少なくともこの絶縁性薄膜2の水素含有量は10原子%は必要であることが確かめられた。一方、水素含有量が増加することは、本発明の目的達成のためには好ましいことはあるが、SiN_xの場合、50原子%を越えるとその絶縁膜としての性質が悪くなったり、成るいは化学的エッチングに対するエッチングレートが極端に高くなってしまい、最終的に完成したTFT本来の機能を損なう場合がある。そのような理由から、本発明においては絶縁性薄膜2の水素含有量の望ましい値としては10原子%～50原子%の範囲である。

次にTFT3を形成するための各工程における処理温度を第3図に示す。この図から明らかなよ

く探ることによって、50～150cm³/V·sとなり、従来品に比べて大きく改善されている。

尚、本発明の詳細な説明においては、a-Siの場合を例に挙ったが、p-Siにおいても本発明構造は同様の効果を發揮する。ただその場合、絶縁性薄膜から活性層やソース、ドレイン領域に拡散された水素原子は、p-Siの各グレイン界面に存在する不所望な単位を削減する働きを有し、それによりTFTの特性改善が図られる。

(ト) 発明の効果

本発明は以上の説明から明らかのように、10原子%～50原子%の水素を含んだ絶縁性薄膜の表面上にTFTを形成しているので、そのTFT形成のための加熱プロセス中に該絶縁性薄膜からTFTのトランジスタ作用に寄与する活性層やソース、ドレイン領域に水素原子が拡散される。その結果、バンドギャップ内の局在単位やグレイン界面の単位を低減せしめ得、TFTの特性改善が図れる。また絶縁性基板からTFTへの水素原子拡散はTFT形成のための加熱プロセス中に自動的

に進行され、格別の拡散プロセスを必要としないので、製造工程を簡略化し得ると同時に、完成されたTFTに加熱による不所望なダメージを与える恐れはなくなる。

第4図は本発明に係るTFTのスイッチング特性(実線)と、従来構造のTFTのそれ(破線)とを比較するための曲線図であって、本発明構造のものは従来品に比べ、ON電流は大きく、その逆にOFF電流は小さく、本発明がTFTの特性改善に大きく寄与していることがわかる。

また、TFT本来の機能を果たすための大きなパロメータの一つである電子移動度は本発明構造

に行われ、格別の拡散プロセスを必要としないので、製造工程を簡略化し得ると同時に、完成されたTFTに加熱による不所望なダメージを与える恐れはなくなる。

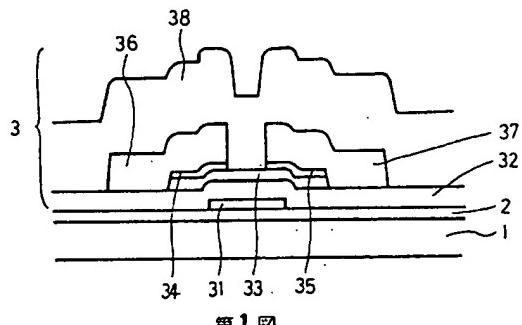
4. 図面の簡単な説明

第1図は本発明薄膜トランジスタの断面図、第2図はSiN_x膜形成条件と水素含有量との関係を示す表図、第3図はTFTの形成工程の処理温度を示す表図、第4図は本発明TFTの特性と従来品のそれを比較するための曲線図である。

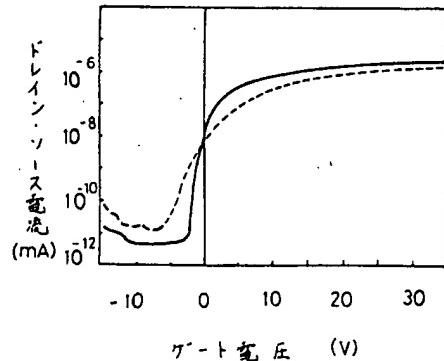
- 1…絶縁性基板、2…絶縁性薄膜、
- 3…TFT、31…ゲート電極、
- 32…ゲート絶縁膜、33…活性膜、
- 34、35…ソース、ドレイン領域、
- 36、37…ソース、ドレイン電極、
- 38…保護膜。

出願人 三洋電機株式会社

代理人 介理士 西野卓嗣(外2名)



第1図



第4図

サンプル 番号	SiH, (cc)	NH ₃ , (cc)	H ₂ , (cc)	R _F (W)	圧力 (Torr)	基板温度 (°C)	水素含有量 (原子%)	
A	50	120	2000	0	400	0.94	300	5.0
B	80	200	2000	0	400	0.94	300	13.1
C	80	120	1600	400	400	0.94	300	17.9
D	80	120	2000	0	400	0.94	300	18.8
E	80	120	500	0	400	0.94	300	25.3
F	80	120	2000	0	350	0.94	250	29.5
G	80	120	500	300	350	0.94	150	48.7

図2

	処理温度
ゲート電極 31	80~180°C
ゲート絶縁膜 32	230~350°C
活性層 33	200~280°C
ソース、ドレイン領域 34 35	200~280°C
ドレイン、ソース電極 36 37	100~180°C
保護膜 38	150~200°C

第3図